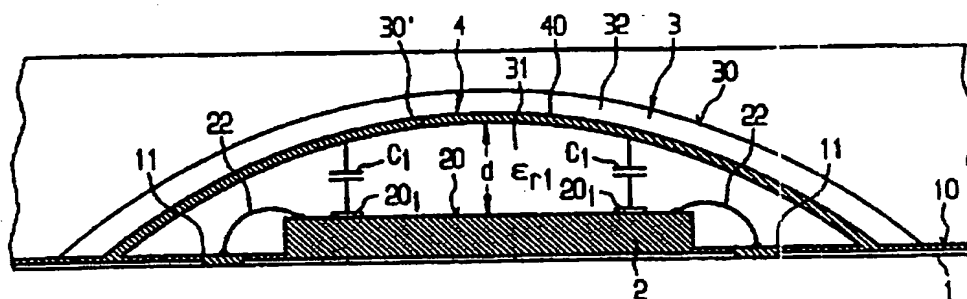


DE 197 38 990

Misuse protection device for chip card security system - has circuit incorporated in chip for testing capacitance of capacitive device incorporated in dielectric protection layer overlying semiconductor chip



- The misuse protection device uses a capacitive device (4) incorporated in the protective dielectric covering (3) for the semiconductor chip (2) incorporated in the chip card (1).
- The capacitance value of the capacitance in which is incorporated within the chip, for releasing the card function only when the capacitance value is correct.
 - ADVANTAGE - Simple verification of chip card integrity.



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 197 38 990 A 1**

⑤① Int. Cl.⁶:
G 06 K 19/073

⑦① Aktenzeichen: 197 38 990.2
⑦② Anmeldetag: 5. 9. 97
⑦③ Offenlegungstag: 11. 3. 99

DE 197 38 990 A 1

⑦① Anmelder:
Siemens AG, 80333 München, DE

⑦② Erfinder:
Steger, Max, Dipl.-Ing., 81737 München, DE;
Hierold, Christopher, Dr., 81739 München, DE;
Thewes, Roland, Dipl.-Ing., 80807 München, DE;
Mauthe, Manfred, Dipl.-Ing., 85655 Großhelfendorf,
DE; Schmitt-Landsiedel, Doris, Dr., 85521
Ottobrunn, DE

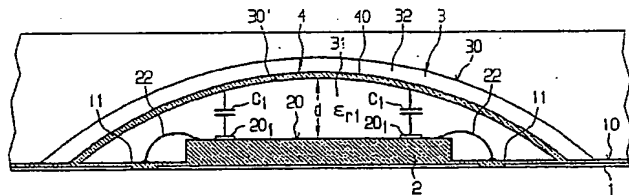
⑤⑥ Entgegenhaltungen:
DE 42 12 111 A1
DE 39 27 887 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Einrichtung zum Schutz gegen Mißbrauch einer Chipkarte

⑤⑦ Bei der Einrichtung ist ein Chip (2) der Karte (1) von einer dielektrischen Abdeckung (3) geschützt, in der eine Kapazitätsanordnung (4) mit einem chipspezifischen Kapazitätswert (C_{ref}) angeordnet. Der Kapazitätswert wird jedesmal bei Benutzung der Karte (1) erneut abgetastet und geprüft, ob der abgetastete Kapazitätswert mit dem chipspezifischen Kapazitätswert übereinstimmt. Nur bei Übereinstimmung wird eine Funktion der Karte freigegeben. Vorteil: Starker Schutz, der durch weitere kompatible Maßnahmen noch verstärkbar ist.



DE 197 38 990 A 1

aus den Kapazitätswerten der einzelnen Kapazitätsanordnungen bestimmt.

Besonders vorteilhaft im Hinblick auf eine Verstärkung des Schutzes gegen eine Chipmanipulation ist es, die elektrisch leitenden Schichten nach einem der Ansprüche 4 bis 6 mit einer oder mehreren elektrisch leitenden Schichten nach Anspruch 10 oder 11 zu kombinieren. Durch eine solche Kombination ist vorteilhafterweise eine doppelte Absicherung des Schutzes gegen mißbräuchlichen Chipzugang oder Chipmanipulation ermöglicht.

Bei dieser Ausgestaltung ist die Absicherung des Schutzes einmal durch die Kapazitätsanordnung, deren Kapazitätswert abzutasten ist, und zusätzlich durch die flächige Abdeckung eines oder mehrerer Ausgänge der Schaltungseinrichtung zur jeweiligen Abgabe eines Signals zur Freigabe einer Funktion der Karte mit der unregelmäßig strukturierten Schicht auf der Oberfläche des Chips und damit doppelt gegeben.

Die Abdeckung aus Dielektrikum, die den Chip abdeckt, besteht vorzugsweise aus Epoxidharz (Anspruch 12).

Gemäß einer bevorzugten und vorteilhaften Ausgestaltung der erfindungsgemäßen Einrichtung weist die an die Kapazitätsanordnung gekoppelte Schaltungseinrichtung

- eine an die Kapazitätsanordnung gekoppelte Signalerzeugungseinrichtung zur wahlweisen Abtastung des Kapazitätswertes der Kapazitätsanordnung und jeweiligen Erzeugung eines Signals mit einem Signalparameter, der einen für den abgetasteten Kapazitätswert charakteristischen Parameterwert aufweist,
- eine Codierungseinrichtung zur Codierung des Parameterwertes des Signalparameters jedes erzeugten Signals nach einem vorgebbaren Code und Erzeugung eines für diesen Parameterwert charakteristischen Codewortes,
- eine Speichereinrichtung zur von außen unzugänglichen Speicherung eines ausgewählten erzeugten Codewortes als Kennung des chipspezifischen Kapazitätswertes und
- eine Komparatoreinrichtung zum Vergleichen eines nach der Speicherung des ausgewählten Codewortes durch Abtastung des Kapazitätswertes erneut erzeugten Codewortes mit dem gespeicherten ausgewählten Codewort und Erzeugen eines Signals zur Freigabe einer Funktion der Karte nur dann, wenn das erneut erzeugte Codewort mit dem gespeicherten ausgewählten Codewort übereinstimmt, auf (Anspruch 13).

Daß der Parameterwert charakteristisch für den Kapazitätswert und der Parameterwert charakteristisch für das Codewort ist bedeutet, daß jedem Kapazitätswert genau ein Parameterwert und jedem Parameterwert genau ein Codewort zugeordnet ist und daß der Parameterwert für verschiedene Kapazitätswerte verschieden und das Codewort für verschiedene Parameterwerte verschieden ist, so daß jeweils eine eindeutige umkehrbare Zuordnung zwischen Parameterwert und Kapazitätswert und zwischen Codewort und Parameterwert gegeben ist.

Die Signalerzeugungseinrichtung besteht vorzugsweise aus einem an die Kapazitätsanordnung angeschlossenen Oszillator, der ein Signal einer den Signalparameter bildenden Frequenz erzeugt, deren Wert für den abgetasteten Kapazitätswert charakteristisch ist (Anspruch 14). Der Oszillator ist vorzugsweise eine SC-Oszillatorschaltung (SC steht für Switched Capacity).

Die Codierungseinrichtung weist vorzugsweise einen Frequenzzähler fester Zählperiode auf, der bei jeder Abtastung des Kapazitätswertes der Kapazitätsanordnung die

Frequenz des vom Oszillator erzeugten Signals die Dauer einer Zählperiode lang zählt und nach Ablauf dieser Dauer als eine den Wert der Frequenz charakterisierende Zahl als Codewort zur Bildung des zu erzeugenden Codewortes bereitstellt (Anspruch 15).

Vorzugsweise erzeugt die Codierungseinrichtung ein Codewort, in welchem neben dem Parameterwert des Signalparameters jedes erzeugten Signals ein personenspezifisches Codewort enthalten ist (Anspruch 16). In Kombination mit der Maßnahme des Anspruchs 15 weist die Codierungseinrichtung nach Anspruch 16 vorzugsweise eine Verknüpfungseinrichtung auf, welche jede vom Zähler bereitgestellte Zahl nach einem vorgebbaren Verknüpfungsalgorithmus mit einer das personenspezifische Codewort bildenden Zahl verknüpft und die durch die jeweils miteinander verknüpften Zahlen gebildete Zahl als das zu erzeugende Codewort bereitstellt (Anspruch 17).

Die Speichereinrichtung ist vorzugsweise mit der Speichereinrichtung durch eine Übertragungsleitung zur Übertragung des von der Codiereinrichtung erzeugten ausgewählten Codewortes in die Speichereinrichtung verbunden, und daß eine Einrichtung zur irreversiblen Unterbrechung der Übertragungsleitung von außen nach einer Speicherung des erzeugten ausgewählten Codewortes als die Kennung des chipspezifischen Kapazitätswertes vorgesehen ist (Anspruch 18).

Vorzugsweise ist das Freigabesignal auf in verschiedenen Freigabepunkten auf der Oberfläche des Chips angeordnete Ausgänge des Chips verteilt (Anspruch 19).

Die erfindungsgemäße Einrichtung ist vorteilhaft bei Hochsicherheitssystemen einsetzbar.

Die Erfindung wird in der nachfolgenden Beschreibung anhand der Figuren beispielhaft näher erläutert. Es zeigen:

Fig. 1 einen Querschnitt durch eine Chipkarte mit einem ersten Ausführungsbeispiel einer erfindungsgemäßen Einrichtung;

Fig. 2 das Ausführungsbeispiel nach Fig. 1 in vereinfachter Darstellung;

Fig. 3 einen Querschnitt durch eine Chipkarte mit einem zweiten Ausführungsbeispiel einer erfindungsgemäßen Einrichtung;

Fig. 4 das zweite Ausführungsbeispiel nach Fig. 2 in vereinfachter Darstellung;

Fig. 5 in vereinfachter Darstellung eine auf dem zweiten Ausführungsbeispiel basierende beispielhafte erfindungsgemäße Einrichtung mit einer Anordnung aus zwei benachbarten aber elektrisch voneinander isolierten ineinandergreifenden elektrisch leitenden Schichten auf der Oberfläche des Chips;

Fig. 6 in vereinfachte Darstellung eine andere Anordnung aus fünfbenachbarten aber elektrisch voneinander isolierten ineinandergreifenden elektrisch leitenden Schichten auf der Oberfläche des Chips, die anstelle der Anordnung nach Fig. 5 verwendet werden kann; und

Fig. 7 ein Blockschaltbild eines Ausführungsbeispiels einer Schaltungseinrichtung zur wiederholbaren Abtastung des Kapazitätswertes der Kapazitätsanordnung und Erzeugung zumindest eines Signals zur Freigabe einer Funktion der Karte der erfindungsgemäßen Einrichtung.

Bei den Ausführungsbeispielen nach den Fig. 1 und 3 ist auf einer flachseitigen Oberfläche 10 einer ausschnittsartig dargestellten Chipkarte 1 ein Chip 2 mit einer von der Oberfläche 10 der Karte 1 abgekehrten Oberfläche 20 angeordnet. Beispielsweise kann die Oberfläche 10 der Boden einer auf einer Flachseite der Chipkarte 1 ausgebildeten Aussparung sein, die nicht bis zu der von der einen Flachseite abgekehrten anderen Flachseite der Karte 1 in die Tiefe reicht.

Der Chip 2 ist durch eine Abdeckung 3 aus einem Dielek-

solchen Manipulation abgetastete Kapazitätswert C stimmt nicht mehr mit einem chipspezifischen ursprünglichen Kapazitätswert C_{ref} überein.

Die Beispiele nach den Fig. 1 und 2 und nach den Fig. 3 und 4 können miteinander kombiniert werden. Der Kapazitätswert C der Kapazitätsanordnung 4 ist in diesem Fall aus dem Kapazitätswert der aus den elektrisch leitenden Schichten 40 und 40' gebildeten Kapazitätsanordnung und den Kapazitätswerten der aus der Schicht 40 und den Schichten 20₁ auf dem Chip 2 gebildeten Kapazitätsanordnungen gebildet. Sind zwei oder mehrere Schichten 20₁ auf der Oberfläche 10 des Chips 2 in einer Schichtanordnung angeordnet, die selbst eine Kapazitätsanordnung mit einem Kapazitätswert bildet, so trägt dieser Kapazitätswert mit allen übrigen Kapazitätswerten zu dem abzutastenden Kapazitätswert C der Kapazitätsanordnung 4 bei.

In der Fig. 5 ist ein speziell auf dem Beispiel nach den Fig. 3 und 4 basierendes Ausführungsbeispiel dargestellt, bei dem zusätzlich zu der aus den Schichten 40 und 40' in der Abdeckung 3 ausgebildeten sichernden Kapazitätsanordnung eine weitere Schutzstruktur in Form einer auf der Oberfläche 20 des Chips 2 ausgebildeten Kapazitätsanordnung realisiert ist.

Die aus den Schichten 40 und 40' bestehende Kapazitätsanordnung ist mit 4' bezeichnet und entspricht der Kapazitätsanordnung 4 des Beispiels nach den Fig. 3 und 4 und ist wie in der Fig. 4 vereinfacht dargestellt. Die auf der Oberfläche 20 des Chips 2 ausgebildete Kapazitätsanordnung ist mit 4'' bezeichnet und besteht aus einer Schichtanordnung 21 aus zumindest zwei elektrisch voneinander isolierten Schichten 201.

Beide Kapazitätsanordnungen 4' und 4'' sind zusammengeschaltet und bilden gemeinsam die Kapazitätsanordnung 4, deren Kapazitätswert C abzutasten ist und sich bei gegebener Zusammenschaltung in bekannter Weise aus dem Kapazitätswert C_3 der Kapazitätsanordnung 4' und dem Kapazitätswert C_2 der Kapazitätsanordnung 4'' bestimmt.

Beispielsweise sind die Kapazitätsanordnungen 4' und 4'' so zusammengeschaltet, daß eine Schicht der Kapazitätsanordnung 4', beispielsweise die Schicht 40, und eine Schicht 20₁ der Kapazitätsanordnung 4'' mit einem Eingang, beispielsweise dem Eingang 50' der Schaltungseinrichtung 5 verbunden ist, und die andere Schicht der Kapazitätsanordnung 4', im Beispiel die Schicht 40', und die andere Schicht 20₁ der Kapazitätsanordnung 4'' mit dem anderen Eingang, im Beispiel dem Eingang 50'' der Schaltungseinrichtung 5 verbunden ist.

Die Kapazitätsanordnung 4 nach Fig. 5 könnte auch so ausgebildet sein, daß anstelle der beiden Schichten 40 und 40' wie beim Beispiel nach den Fig. 1 und 2 in der Abdeckung 3 nur eine Schicht, beispielsweise die Schicht 40 vorgesehen ist.

Im übrigen bildet die auf der Oberfläche 20 des Chips 2 ausgebildete Kapazitätsanordnung 4'' nach Fig. 5 für sich allein bereits einen gewissen Schutz gegen Chipmanipulation, doch wird diese Kapazitätsanordnung 4'' vorzugsweise nicht allein, sondern mit einer anderen Schutzmaßnahme in Form einer zusätzlichen Kapazitätsanordnung wie beispielsweise der Anordnung 4' nach Fig. 5 verwendet.

Die auf der Oberfläche 20 des Chips 2 ausgebildeten elektrisch leitenden Schichten 20₁ sind beispielsweise jeweils unregelmäßig strukturiert und decken zumindest einen Ausgang 50 der Schaltungseinrichtung 5 zur Abgabe eines Signals S zur Freigabe einer Funktion der Karte 1 ab.

Insbesondere weist beim Beispiel nach Fig. 5 die Schichtanordnung 21 zwei benachbarte elektrisch leitende Schichten 20₁ auf, die auf der Oberfläche 20 des Chips 2 ausgebildet, voneinander isoliert und ineinandergreifend strukturiert

sind, wobei die Schichtanordnung 21 den zumindest einen Ausgangsanschluß 50 der Schaltungseinrichtung 5 zur Abgabe eines Signals S zur Freigabe einer Funktion der Karte 1 abdeckt.

Jede der beiden Schichten 201₁ weist beispielsweise jeweils mehrere Einbuchtungen 201 auf, in deren jede je eine beispielsweise fingerartige Ausbuchtung 202 der anderen Schicht 20₁ eingreift, so daß eine Interdigitalstruktur gegeben ist.

Die Schichtanordnung 21 kann auch mehr als zwei elektrisch voneinander isolierte benachbarte Schichten 20₁ aufweisen, deren jede jeweils mehrere Einbuchtungen 201 aufweist, in deren jede je eine Ausbuchtung 202 einer benachbarten Schicht 20₁ eingreift. In der Fig. 6 ist ein Ausführungsbeispiel einer derartigen Schichtanordnung 21 mit fünf benachbarten Schichten 20₁ mit jeweiligen Anschlüssen, die der Reihe nach mit I, II, III, IV und V bezeichnet sind, dargestellt. Jedes Paar benachbarter Schichten 20₁ bildet je eine einzelne Kapazitätsanordnung je eines Kapazitätswertes, wobei insgesamt vier solche einzelne Kapazitätsanordnungen 41 bis 44 gegeben sind, die in der Fig. 6 rechts neben der Schichtanordnung 21 noch einmal vereinfacht dargestellt sind und gemeinsam die Kapazitätsanordnung 4'' mit dem Kapazitätswert C_2 bilden, der sich aus den Kapazitätswerten der Kapazitätsanordnungen 41 bis 45 bestimmt.

Die Schichtanordnung 21 nach Fig. 6 definiert vorteilhafterweise eine unterbrechungssensitive Kapazitätsanordnung 4'' mit Mäanderstruktur, wobei Unterbrechungen einer Schicht 20₁ zu empfindlich detektierbaren Schwankungen des Kapazitätswertes C_2 führen können oder die Kapazitätsanordnung sogar zerstören. Es besteht hier auch noch die Möglichkeit, die verschiedenen Schichten 20₁ über eine Schalteranordnung anzuschließen und so eine Diversifizierung der Kapazitätsanordnung herbeizuführen.

Die Schichtanordnung 21 nach Fig. 6 kann sehr groß ausgeführt werden und eine willkürliche Unterbrechung einiger Schichten 20₁ kann zu unterschiedlichen Kapazitätswertverhältnissen führen.

Bei den Beispielen nach den Fig. 5 und 6 wird der Schutz gegen Chipmanipulation doppelt abgesichert, einmal mit der verteilten Kapazitätsanordnung 4' im "Globe-Top" und zusätzlich mit der Flächenabdeckung eines oder mehrerer Ausgänge 50 der Schaltungseinrichtung 5 oder eines oder mehrerer Freigabepunkte 6 (siehe Fig. 5) durch die Schichtanordnung 21. Es ist somit eine große Sicherheit für den Chip 2 gewährleistet, wenn diese verteilten Kapazitätsanordnungen 4' und 4'' die kritischen Stellen am Chip 2 vor unbefugter Manipulation, bzw. den Chip 2 selbst vor dem zerstörungsfreien Freilegen schützen. Die ungestörten Kapazitätswertverhältnisse bilden eine chipspezifische Identifikation, die nicht manipulierbar ist, da Kapazitätswerte in der Größenordnung von einigen 100 fF, wie sie bei den erfindungsgemäßen Kapazitätsanordnungen vorliegen, nicht von außen anschließbar sind, ohne schon durch die Verdrahtung veränderte Verhältnisse zu schaffen.

Die im Chip 2 ausgebildete und an die Kapazitätsanordnung 4 einer erfindungsgemäßen Einrichtung gekoppelte Schaltungseinrichtung 5 hat die Funktion, den Kapazitätswert C der Kapazitätsanordnung 4 wiederholt, beispielsweise bei jeder Benutzung der Karte 1 abzutasten und zumindest ein Signal S zur Freigabe einer Funktion der Karte 1 nur dann zu erzeugen, wenn der abgetasteten Kapazitätswert C mit einem vorher abgetasteten Kapazitätswert der Kapazitätsanordnung 4, der als chipspezifischer Kapazitätswert C_{ref} festgelegt wird, übereinstimmt, und die Funktion der Karte 1 nicht freizugeben, wenn der abgetastete Kapazitätswert C nicht mit dem chipspezifischen Kapazitätswert C_{ref} übereinstimmt.

Komparatoreinrichtung 54 abgegeben, der zugleich den Ausgang der Schaltungseinrichtung 5 bilden kann und vorzugsweise von einer unregelmäßig strukturierten Schicht 20₁ oder Schichtanordnung 21 aus solchen Schichten 20₁ auf der Oberfläche 20 des Chips 2 abgedeckt ist.

Aus dem Freigabesignal S wird vorzugsweise ein Freigabesignal S' erzeugt, das auf in verschiedenen Freigabepunkten 6 auf der Oberfläche 20 des Chips 2 angeordnete Ausgänge verteilt ist. Das verteilte Freigabesignal S' entspricht einem Signal, das in die Logik der Kartenfunktion eingebaut ist und eine Freigabe der Karte 1 bewirkt. Die Verteilung der Freigabepunkte 6 ist ein wesentlicher Beitrag zum Schutz der Kartenfunktion, da sie nicht sofort lokalisiert werden können und nicht nur als ein Punkt existieren, den es bei einer Manipulation zu verändern gilt.

Es ist sinnvoll, wenigstens einen dieser Freigabepunkte 6 von einer unregelmäßig strukturierten Schicht 20₁ oder Schichtanordnung 21 aus solchen Schichten 20₁ auf der Oberfläche 20 des Chips 2 abzudecken, um ihn zu schützen. In der Fig. 5 sind beispielsweise drei Freigabepunkte 6 schematisch dargestellt, von denen einer außerhalb der Schichtanordnung 21 angeordnet und nicht von dieser abgedeckt ist, die anderen beiden dagegen im Bereich der Schichtanordnung 21 liegt und von dieser abgedeckt sind. Vorzugsweise liegt ein von der Schichtanordnung 21 abgedeckter Freigabepunkt 6 nicht wie in der Fig. 5 aus Gründen der Sichtbarmachung dargestellt neben den Schichten 20₁, sondern unter einer Schicht 20₁.

Bei der erfindungsgemäßen Einrichtung ist vorteilhafterweise das für den chipspezifischen Kapazitätswert C_{ref} charakteristische ausgewählte Codewort X_{ref} auch im Fall einer Dekodierung dieses Wortes X_{ref} nicht verwendbar, da für die Inbetriebnahme bzw. Benutzung der Karte 1 immer eine Abtastung des Kapazitätswertes C der Kapazitätsanordnung 4 vorausgesetzt wird und mit dem gespeicherten ausgewählten Codewort X_{ref} verglichen wird. Die Möglichkeit durch Übertragen eines geknackten ausgewählten Codewortes X_{ref} einer Karte 1 auf eine andere Karte ein Duplikat der einen Karte 1 zu haben ist vollkommen ausgeschlossen, da die vom Prozeß willkürlich abgeleiteten Kapazitätsverhältnisse nicht reproduzierbar sind und die Abtastung des Kapazitätswertes C der Kapazitätsanordnung 4 der anderen Karte ein wesentlicher Bestandteil zur Gewinnung der individuellen chipspezifischen Kennung ist.

In Zusammenfassung wird bei der erfindungsgemäßen Einrichtung ein Mißbrauch der Chipkarte 1 durch Chipmanipulation durch die Abtastung des Kapazitätswertes C einer sensiblen Kapazitätsanordnung 4 ausgeschaltet, die in der den Chip 2 abdeckenden Abdeckung 3 und/oder der von der Abdeckung 3 abgedeckten Oberfläche 20 des Chips 2 ausgebildet ist. Speziell wird der Kapazitätswert C der Kapazitätsanordnung 4 mit einer SC-Oszillatorschaltung 51 abgetastet, die aus dem abgetasteten Kapazitätswert C eine Frequenz ω mit einem zu diesem Kapazitätswert C proportionalen Frequenzwert ω_c erzeugt. Dieser Frequenzwert ω_c wird in eine für diesen Wert ω_c charakteristische binär codierte Zahl A_c umgewandelt und mit einer personenspezifischen Zahl B zu einem Codewort X verknüpft. Ein erzeugtes solches Codewort X wird als ein Codewort X_{ref} ausgewählt, das als chipspezifische Kennung verwendet wird. Diese Kennung wird, beispielsweise durch einen einmaligen Initialisierungsvorgang, auf der Karte 1 gespeichert. Bei der Verwendung der Karte 1 wird wiederum der Kapazitätswert C abgetastet und das Codewort X generiert. Falls dieses mit dem gespeicherten Codewort X beispielsweise in einem einmaligen Initialisierungsvorgang übereinstimmt, wird die Kartenfunktion über verteilte Freigabepunkte 6 freigegeben. Diese Freigabepunkte 6 werden durch eine Schichtanordnung 21 mit in-

einandergreifenden elektrisch leitenden Schichten 20₁ geschützt und der gesamte Chip 2 ist durch die Kapazitätsanordnung 4 vor unbefugtem Zugriff geschützt. Eine Veränderung der Kapazitätsanordnung 4 und damit deren Kapazitätswertes C von außen hat nach der Speicherung der chipspezifischen Kennung zur Folge, daß die Funktionen am Chip 2 nicht mehr freigegeben werden und somit die Chipkarte 1 unbrauchbar wird. Die chipspezifische Kennung selbst ist nicht reproduzierbar und nicht übertragbar und selbst bei einer Entschlüsselung für einen Mißbrauch nicht verwendbar.

Patentansprüche

1. Einrichtung zum Schutz gegen Mißbrauch einer Chipkarte (1), gekennzeichnet durch

- einen auf der Karte (1) vorgesehenen Chip (2), der von einer Abdeckung (3) aus einem Dielektrikum gegen äußere Einflüsse geschützt ist,
- eine in der Abdeckung (3) ausgebildete Kapazitätsanordnung (4), die einen chipspezifischen Kapazitätswert (C_{ref}) aufweist, und
- eine im Chip (2) ausgebildete und an die Kapazitätsanordnung (4) gekoppelte Schaltungseinrichtung (5) zur wiederholbaren Abtastung des Kapazitätswertes (C) der Kapazitätsanordnung (4) und Erzeugung zumindest eines Signals (S, S') zur Freigabe einer Funktion der Karte (1) nur dann, wenn der abgetasteten Kapazitätswert (C) mit dem chipspezifischen Kapazitätswert (C_{ref}) übereinstimmt.

2. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Kapazitätsanordnung (4) eine in der Abdeckung (3) aus Dielektrikum ausgebildete und in einem Abstand (d) vom Chip (2) angeordnete elektrisch leitende Schicht (40, 40') aufweist.

3. Einrichtung nach Anspruch 2, dadurch gekennzeichnet, daß sich die elektrisch leitende Schicht (40, 40') über den ganzen Chip (2) erstreckt.

4. Einrichtung nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß die Kapazitätsanordnung (4) eine in der Abdeckung (3) aus Dielektrikum ausgebildete weitere elektrisch leitende Schicht (40', 40) aufweist, die in einem Abstand (d') vom Chip (2) angeordnet und von der einen Schicht (40, 40') durch ein Dielektrikum getrennt ist.

5. Einrichtung nach Anspruch 4, dadurch gekennzeichnet, daß sich die weitere elektrisch leitende Schicht (40', 40) über den ganzen Chip (2) erstreckt.

6. Einrichtung nach einem der Ansprüche 2 bis 5, dadurch gekennzeichnet, daß zumindest eine elektrisch leitende Schicht (40, 40') unregelmäßig strukturiert ist.

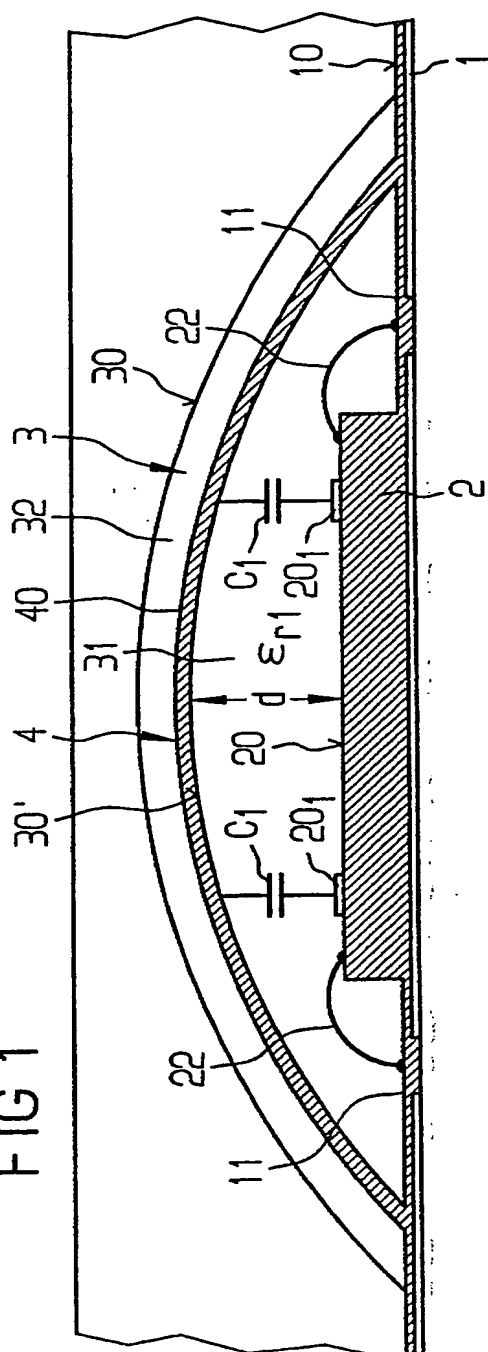
7. Einrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß auf einer von der Abdeckung (3) abgedeckten Oberfläche (20) des Chips (2) zumindest eine elektrisch leitende Schicht (20₁) ausgebildet ist.

8. Einrichtung nach Anspruch 7, dadurch gekennzeichnet, daß auf der Oberfläche (20) des Chips (2) eine Schichtanordnung (21) aus zumindest zwei elektrisch leitenden Schichten (20₁) ausgebildet ist, zwischen denen sich ein Dielektrikum befindet.

9. Einrichtung nach Anspruch 7 oder 8, dadurch gekennzeichnet, daß die Kapazitätsanordnung (4) zumindest eine auf der Oberfläche (20) des Chips (2) ausgebildete elektrisch leitende Schicht (20₁) aufweist.

10. Einrichtung nach einem der Ansprüche 7 bis 9, dadurch gekennzeichnet, daß eine auf der Oberfläche (20)

FIG 1



267

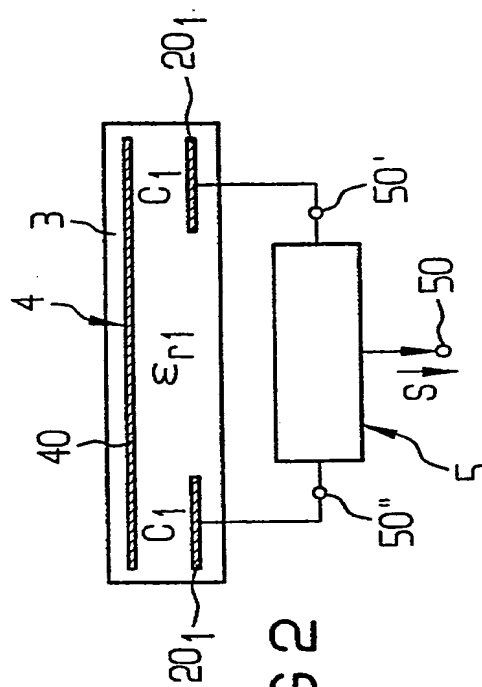


FIG 5

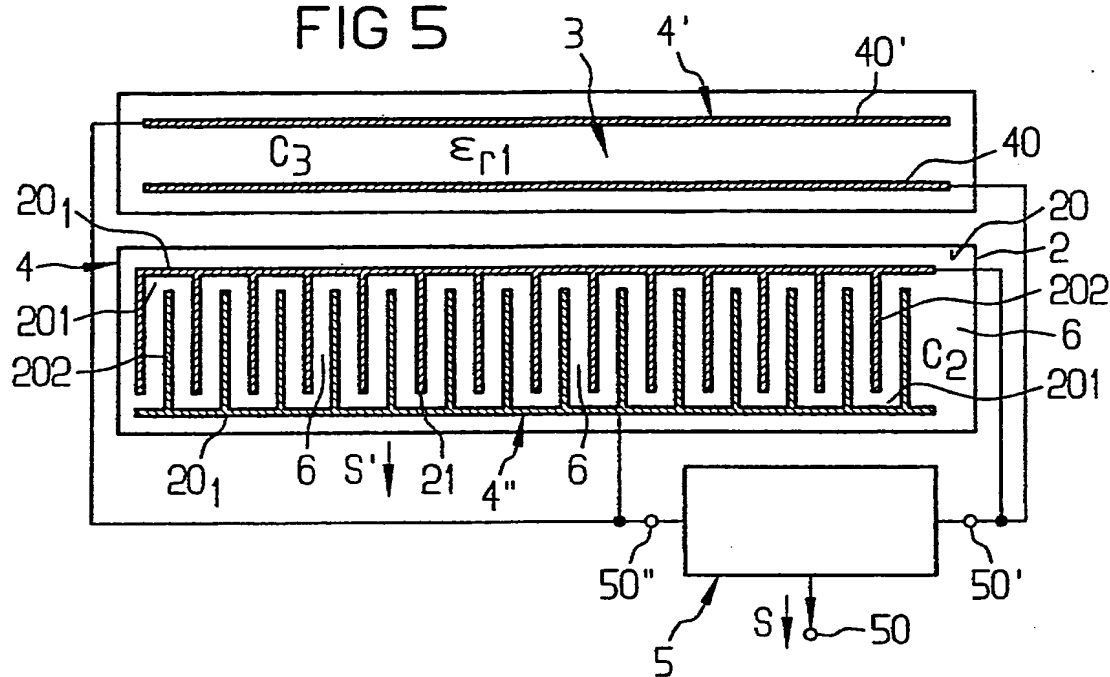


FIG 6

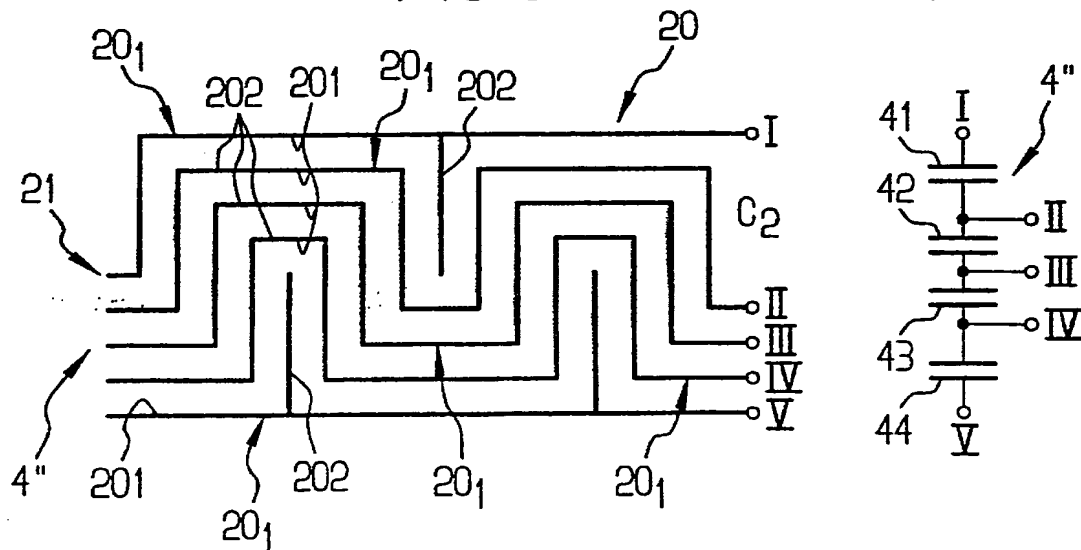


FIG 7

